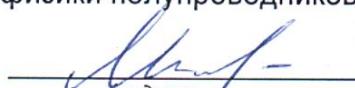


МИНОБРНАУКИ РОССИИ
ФЕДЕРАЛЬНОЕ ГОСУДАРСТВЕННОЕ БЮДЖЕТНОЕ ОБРАЗОВАТЕЛЬНОЕ УЧРЕЖДЕНИЕ
ВЫСШЕГО ОБРАЗОВАНИЯ
«ВОРОНЕЖСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ»
(ФГБОУ ВО «ВГУ»)

УТВЕРЖДАЮ

И.о. заведующая кафедрой
физики полупроводников и микроэлектроники


подпись

(Меньшикова Т.Г.)
расшифровка подписи

05.06.2025

РАБОЧАЯ ПРОГРАММА УЧЕБНОЙ ДИСЦИПЛИНЫ

Б1.В.ДВ.03.02 Проектирование устройств на ПЛИС

1. Код и наименование направления подготовки/специальности:
03.04.03 Радиофизика

2. Профиль подготовки: Микроэлектроника и полупроводниковые приборы

3. Квалификация (степень) выпускника: магистр

4. Форма образования: очная

5. Кафедра, отвечающая за реализацию дисциплины: физики полупроводников и микроэлектроники

6. Составители программы: Богатиков Евгений Васильевич,
кандидат физико-математических наук, доцент

7. Рекомендована: НМС физического факультета протокол №6 от 04.06.2025

8. Учебный год: 2026-2027 **Семestr:** 3

9. Цели и задачи учебной дисциплины: целями освоения дисциплины является формирование специальных знаний о применении языка Verilog для разработки цифровых устройств на базе ПЛИС.

Задачи учебной дисциплины:

- изучение архитектуры ПЛИС;
- изучение языка Verilog;
- приобретение умений и навыков работы с ПЛИС.

10. Место учебной дисциплины в структуре ОПОП: дисциплина относится к части, формируемой участниками образовательных отношений (вариативная) блока Б1, дисциплины по выбору.

11. Планируемые результаты обучения по дисциплине/модулю (знания, умения, навыки), соотнесенные с планируемыми результатами освоения образовательной программы (компетенциями) и индикаторами их достижения:

Компетенции		Индикаторы		Планируемые результаты обучения
Код	Наименование компетенции	Код(ы)	Наименование индикатора(ов)	
ПК-1	Способен принимать участие в разработке и научных исследованиях систем связи и телекоммуникаций	ПК-1.3	Проводит анализ известных технических решений отдельных блоков систем связи, телекоммуникаций и радионавигации	Знать: - архитектуру современных семейств ПЛИС; - области применения ПЛИС в задачах радиофизики.
		ПК-1.4	Планирует и проводит лабораторное или компьютерное экспериментальное исследование отдельных блоков систем связи, телекоммуникаций и радионавигации	Знать: - принципы разработки HDL-описаний цифровых устройств. Уметь: - разрабатывать методику тестирования и проводить функциональную верификацию HDL-описания. Владеть: - навыками конфигурирования ПЛИС и тестирования законченного цифрового устройства на базе ПЛИС.
		ПК-1.5	Разрабатывает новые технические решения блоков систем связи и телекоммуникаций под руководством более квалифицированного работника	Уметь: - применять язык Verilog для создания синтезабельных HDL-описаний цифровых устройств по техническому заданию.

12. Объем дисциплины в зачетных единицах/часах — 2 / 72.

Форма промежуточной аттестации – зачет.

13. Виды учебной работы:

Вид учебной работы	Трудоемкость (часы)	
	Всего	По семестрам
Аудиторные занятия,	24	24

в том числе:	лекции	12	12
	практические занятия	12	12
Самостоятельная работа		48	48
	Итого:	72	72

13.1. Содержание дисциплины:

№ п/п	Наименование раздела дисциплины	Содержание раздела дисциплины
Лекции		
1.1	Введение в архитектуру ПЛИС	Классификация ПЛИС: PLA, CPLD, FPGA. Области применения ПЛИС. Структура логического элемента ПЛИС. Структура LUT. Программируемая коммутация в ПЛИС. Конфигурационная и пользовательская flash-память. Подсистема ввода-вывода.
1.2	Основы языка Verilog	Структура Verilog-проекта. Модули. Сигналы типа reg и wire, значения сигналов 'x' и 'z'. Типы портов. Аппаратное представление двунаправленного порта. Правила задания типов сигналов при подключении к портам. Типы данных в Verilog. Директивы компилятора и системные функции. Арифметические, логические, побитовые и другие операции в языке Verilog. Деление операторов на параллельные и последовательные. Оператор assign. Использование тернарного оператора. Оператор always. Виды условий запуска в операторе always. Оператор initial. Понятие синтезабельности HDL-описания. Оператор generate. Структурное и поведенческое описание устройства. Оператор подключения экземпляра модуля. Последовательные операторы. Операторы блокирующего и неблокирующего присваивания. Операторы ветвления и выбора. Условия появления защелок. Операторы цикла. Функциональная верификация HDL-описания, принципы построения тестбенчей.
1.3	Разработка цифровых устройств в пакете Quartus	Создание нового проекта в Quartus. Разработка и компиляция HDL-модели. Создание шаблона тестбенча. Функциональная верификация проекта в Modelsim. Назначение портов ввода-вывода в Assignment Editor. Конфигурирование ПЛИС.
Практические занятия		
2.1	Введение в архитектуру ПЛИС	
2.2	Основы языка Verilog	
2.3	Разработка цифровых устройств в пакете Quartus	Лабораторная работа № 1. Управление семисегментным индикатором. Лабораторная работа № 2. Реализация SPI-интерфейса на ПЛИС Лабораторная работа № 3. Разработка устройства считывания и индикации данных, передаваемых АЦП MCP3201. Лабораторная работа № 4. Разработка устройства генерации сигнала при помощи ЦАП MCP4921.

13.2. Темы (разделы) дисциплины и виды занятий:

№ п/п	Наименование раздела дисциплины	Виды занятий (часов)			
		Лекции	Практи- ческие	Самостоя- тельная	Всего

				работа	
1	Введение в архитектуру ПЛИС	4	-	16	20
2	Основы языка Verilog	6	-	16	22
3	Разработка цифровых устройств в пакете Quartus	2	12	16	30
	Итого:	12	12	48	72
	Итого по курсу				72

14. Методические указания для обучающихся по освоению дисциплины:

Изучение дисциплины «Проектирование устройств на ПЛИС» предусматривает осуществление учебной деятельности состоящей из двух частей: обучения студентов преподавателем и самостоятельной учебной деятельности студентов по изучению дисциплины.

Метод преподавания – проблемный, форма обучения – групповая, форма общения – интерактивная. Обязательное посещение практических занятий и текущих аттестаций.

Подготовка к лекциям является одним из видов самостоятельной работы студентов. Студентам, чтобы хорошо овладеть учебным материалом, необходимо выработать навыки правильной и планомерной работы. Перед началом лекционных занятий надо просмотреть все, что было сделано в предыдущий раз. Это позволит сосредоточить внимание и восстановить в памяти уже имеющиеся знания по данному предмету. Кроме того, такой метод поможет лучше запомнить как старое, так и новое, углубить понимание того и другого, так как при этом устанавливаются связи нового со старым, что является не только обязательным, но и основным условием глубокого овладения материалом. Чем детальнее изучаемое ассоциируется с известным ранее, тем прочнее сохраняется в памяти и быстрее вспомнится, когда требуется.

Следует помнить, что через лекцию передается не только систематизированный теоретический материал, но и постигается методика научного исследования и умение самостоятельно работать, анализировать различного рода явления.

Записывать на лекции необходимо главное, не стремясь зафиксировать все слово в слово. Выбрать же главное без понимания предмета невозможно. Наличие собственного конспекта лекций позволяет еще раз ознакомиться, продумать, разобраться в новом материале, так как недостаточно хорошо понятые во время лекции положения могут быть восстановлены в памяти, сопоставлены с другими, додуманы, дополнены, уяснены и расширены с помощью учебной литературы. Записи являются пособиями для повторения, дают возможность охватить содержание лекции и всего курса в целом.

При этом хорошо овладеть содержанием лекции – это:

- знать тему;
- понимать значение и важность ее в данном курсе;
- четко представлять план;
- уметь выделить основное, главное;
- усвоить значение примеров и иллюстраций;
- связать вновь полученные сведения о предмете или явлении с уже имеющимися;
- представлять возможность и необходимость применения полученных сведений.

Существует несколько общих правил работы на лекции:

- лекции по каждому предмету записывать удобнее в отдельных тетрадях, оставляя широкие поля для пометок;
- к прослушиванию лекций следует готовиться, что позволит в процессе лекции отделить главное от второстепенного;

- лекции необходимо записывать с самого начала, так как оно часто бывает ключом ко всей теме;

- так как дословно записать лекцию невозможно, то необходимо в конспекте отражать: формулы, определения, схемы, трудные места, мысли, примеры, факты и положения от которых зависит понимание главного, новое и незнакомое, неопубликованные данные, материал отсутствующий в учебниках и т.п.;

- записывать надо скжато;

- во время лекции важно непрерывно сохранять рабочую установку, умственную активность.

Самостоятельная работа студентов наряду с аудиторной представляет одну из форм учебного процесса и является существенной ее частью. Самостоятельная работа предназначена для формирования навыков самостоятельной работы как вообще, так и в учебной, научной деятельности. Она обеспечивает формирование и развитие способности принимать на себя ответственность, самостоятельно решать проблему, находить конструктивные решения, выход из кризисной ситуации и т.д.

Самостоятельная работа формирует самостоятельность не только как совокупность умений и навыков, но и как черту характера, играющую существенную роль в структуре личности современного специалиста высшей квалификации. Она воспитывает самостоятельность как черту характера. Никакие знания, полученные на уровне пассивного восприятия, не ставшие объектом собственной умственной или практической работы, не могут считаться подлинным достоянием человека.

Давая возможность расширять и обогащать знания, умения по индивидуальным направлениям, самостоятельная работа студента позволяет создать разносторонних специалистов. В процессе самостоятельной работы развиваются творческие возможности обучающегося, при этом самостоятельная работа завершает задачи всех видов учебной работы.

Самостоятельная работа - это планируемая работа студентов, выполняемая по заданию и при методическом руководстве преподавателя, но без его непосредственного участия. Преподаватель, ведущий занятия, организует, направляет самостоятельную работу студентов и оказывает им необходимую помощь. Однако самостоятельность студентов должна превышать объем работы, контролируемой преподавателем работы, и иметь в своей основе индивидуальную мотивацию обучающегося по получению знаний, необходимых и достаточных для будущей профессиональной деятельности в избранной сфере. Преподаватель при необходимости может оказывать содействие в выработке и коррекции данной мотивации, лежащей в основе построения самостоятельной деятельности студента по изучению дисциплины, получению необходимых знаний и навыков.

Основой самостоятельной работы служит научно-теоретический курс, комплекс полученных студентом знаний. Основной, наиболее экономичной формой получения и усвоения информации, теоретических знаний в вузе является лекция, позволяющая воспринять значительную сумму основных знаний и потому способствующая повышению продуктивности всех других форм учебного труда.

Результат обучения и самостоятельной работы студента предполагает наличие следующих составляющих: понимание методологических основ построения изучаемых знаний; выделение главных структур учебного курса; формирование средств выражения в данной области; построение методик решения задач и ориентации в проблемах (ситуациях).

Самостоятельная работа студента при изучении курса «Проектирование устройств на ПЛИС» включает в себя: подготовку и участие в изучении теоретической части курса, подготовку к практическим занятиям, подготовку к зачету.

Самостоятельная работа студента при изучении дисциплины «Проектирование устройств на ПЛИС» включает в себя:

изучение теоретической части курса	- 12 часов;
подготовка к практическим занятиям	- 12 часов;
подготовка к зачету	- 24 часа;
	Итого - 48 часа.

15. Перечень основной и дополнительной литературы, ресурсов Интернет, необходимых для освоения дисциплины:

а) основная литература:

№ п/п	Источник
1	Угрюмов Е. П. Цифровая схемотехника : [учебное пособие для студ. вузов] / Е.П. Угрюмов .— 3-е изд. — Санкт-Петербург : БХВ-Петербург, 2010 .— 797 с.

б) дополнительная литература:

№ п/п	Источник
2	Харрис Д. М. Цифровая схемотехника и архитектура компьютера = Digital design and computer architecture : пер. с англ. / Дэвид М. Харрис, Сара Л. Харрис .— Москва : ДМК Пресс, 2017 .— 791 с.
3	Поляков А. К. Языки VHDL и VERILOG в проектировании цифровой аппаратуры / А. К. Поляков .— М. : Солон-пресс, 2003 .— 313 с.
4	Тарасов И. Е. Разработка цифровых устройств на основе ПЛИС Xilinx с применением языка VHDL / И.Е. Тарасов .— М. : Горячая линия-Телеком, 2005 .— 252 с.
5	Зотов В. Ю. Проектирование встраиваемых микропроцессорных систем на основе ПЛИС фирмы XILINX / В.Ю. Зотов .— М. : Горячая линия-Телеком, 2006 .— 519 с.

в) информационные электронно-образовательные ресурсы:

№ п/п	Источник
7	Intel® FPGA Development Tools Support <URL: https://www.intel.com/content/www/us/en/programmable/products/design-software/fpga-design/quartus-prime/support.html >
8	МАРСОХОД Open Source Hardware Project <URL: https://marsohod.org >

16. Учебно-методическое обеспечение для организации самостоятельной работы:

№ п/п	Источник
1	Язык Verilog и проектирование цифровых устройств на ПЛИС : учебно-методическое пособие / Е.В. Богатиков, А.Н. Шебанов .— Воронеж : Издательский дом ВГУ, 2018 .— 60 с.

17. Информационные технологии, используемые для реализации учебного процесса по дисциплине:

№ п/п	Источник
1	http://www.lib.vsu.ru – ЗНБ ВГУ
2	https://edu.vsu.ru – Образовательный портал "Электронный университет ВГУ"
3	Федеральный портал «Российское образование» http://www.edu.ru

18. Материально-техническое обеспечение дисциплины:

Лекционные занятия проводятся в мультимедийном кабинете кафедры ФППиМЭ, оснащённым стационарным мультимедийным проектором AcerX125H – 1 шт., ноутбук emachines e510 – 1 шт., экран, с лицензионным программным обеспечением Microsoft Windows 7, Windows 10 договор 3010-15/207-19 от 30.04.2019; ПО Kaspersky Endpoint Security, договор 3010-07/04-20 от 27.01.2020.

Для проведения практических занятий необходима лаборатория со следующим оборудованием: отладочные комплекты ПЛИС Altera MAX II - 8 шт., компьютеры Lenovo V520-15IKL - 8 шт., цифровые осциллографы UTD2025CL - 6 шт., функциональные генераторы UTG2025A - 3 шт., источники питания QJ1503C – 3 шт., мультиметры цифровые DM3058E – 3 шт., телевизор LED 48" – 1 шт.

Аудитория для самостоятельной работы студентов оснащена сервером на базе 2-х процессоров Xeon E5-2620 v3. – 1 шт., компьютеры HP ProDesk 400 G6 SFF – 9 шт., компьютеры Pentium Dual Core - 2 шт. , подключенные к сети Интернет с обеспечением доступа к электронной информационно-образовательной среде ВГУ и лицензионным программным обеспечением: Microsoft Windows 7, Windows 10, договор 3010-15/207-19 от 30.04.2019; ПО Kaspersky Endpoint Security, договор 3010-07/04-20 от 27.01.2020.

Реализация дисциплины с применением электронного обучения и дистанционных образовательных технологий осуществляется через образовательный портал "Электронный университет ВГУ".

19. Оценочные средства для проведения текущей и промежуточной аттестаций

Порядок оценки освоения обучающимися учебного материала определяется содержанием следующих разделов дисциплины:

№ п/п	Наименование раздела дисциплины	Компетенция	Индикаторы достижения компетенции	Оценочные средства
1	Введение в архитектуру ПЛИС	ПК-1	ПК-1.3	Тестовые задания, перечень вопросов
2	Основы языка Verilog	ПК-1	ПК-1.4	Тестовые задания, перечень вопросов
3	Разработка цифровых устройств в пакете Quartus	ПК-1	ПК-1.5	Тестовые задания, перечень вопросов
Промежуточная аттестация: форма контроля – зачет				Вопросы к зачету

20 Типовые оценочные средства и методические материалы, определяющие процедуры оценивания

20.1 Текущий контроль успеваемости

Текущий контроль успеваемости по дисциплине осуществляется с помощью следующих оценочных средств: тестовые задания, результаты выполнения практических заданий, ответы на вопросы.

Примеры тестовых заданий

Вопрос 1. Verilog является регистрозависимым языком?

- a) да;
- b) нет.

Вопрос 2. При помощи какого оператора можно изменять значение сигнала типа wire?

- a) assign;
- b) always;
- c) initial.

Вопрос 3. Какому элементу соответствует следующий код:

```
module nemo(a,b,c);
  input a,b;
  output reg c;
  always @(negedge a) c<=b;
endmodule
```

Вопрос 4. Изобразите вид сигнала a при моделировании следующего проекта:

```
`timescale 1ps/1ps
module nemo();
  reg a=0;
  initial
    begin
      #5 $stop;
    end
  always #(1) a<=!a;
endmodule
```

Вопрос 5. Реализуйте четырехходовый мультиплексор на Verilog.

Вопрос 6. Выберите верное утверждение:

- a) тестбенч необходим на этапе синтеза электрической схемы;
- b) тестбенч не содержит входных и выходных сигналов.

Вопрос 7. Какие операторы Verilog являются параллельными?

- a) assign;
- b) always;
- c) initial;
- d) оператор реализации экземпляра модуля.

Вопрос 8. Какому элементу соответствует следующий код:

```
module nemo (a, b, c);
  input a, b;
  output c;
  assign c = a ? b : 1'bz;
endmodule
```

Вопрос 9. Изобразите вид сигналов a и b при моделировании следующего проекта:

```
`timescale 1ps/1ps
module nemo();
  reg a=0;
  reg b=0;
  initial
```

```

begin
    #1 a<=1;
    #1 a<=0;
    #1 a<=1;
    #1 a<=0;
    #1 a<=1;
    #1 $stop;
end
always @(posedge a) b<=!b;
endmodule

```

Вопрос 10. Реализуйте трехходовый элемент И-НЕ на Verilog.

Вопрос 11. Выберите верное утверждение:

- a) Verilog является средством моделирования и синтеза ПЛИС;
- b) Verilog является средством моделирования цифро-аналоговых схем;

Вопрос 12. Какие операторы Verilog являются последовательными?

- a) assign;
- b) always;
- c) if...else;
- d) case.

Вопрос 13. Какому элементу соответствует следующий код:

```

module nemo (a, b, c);
input a, b;
output [7:0] c;
reg [7:0] temp_c;
always @ (posedge a) temp_c <= {temp_c[6:0],b}
assign c = temp_c;
endmodule

```

Вопрос 14. Изобразите вид сигналов a и b при моделировании следующего проекта:

```

`timescale 1ps/1ps
module nemo();
reg a=1;
reg b=1;
initial
begin
    #1 a<=0;
    #1 a<=1;
    #1 a<=0;
    #1 a<=1;
    #1 a<=0;
    #1 $stop;
end
always @(negedge a) b<=!b;
endmodule

```

Вопрос 15. Реализуйте тестбенч для трехходового элемента ИЛИ-НЕ на Verilog.

Вопрос 16. Выберите верное утверждение:

- a) порядок следования параллельных операторов не оказывает влияния на результаты синтеза;
- b) последовательные операторы могут быть использованы только внутри оператора непрерывного присваивания assign.

Вопрос 17. Какая языковая конструкция не является синтезабельной?

- a) assign a!=b;
- b) always #(5) a!=b;
- c) always @(negedge b) a!=b;
- d) always (b) a!=b;

Вопрос 18. Какому элементу соответствует следующий код:

```
module nemo (a, b, c, d);
input a, b, c;
output reg d;
always (a or b)
begin
  case (c)
    0 : d<=a;
    1: d<=b;
  endcase
end
endmodule
```

Вопрос 19. Изобразите вид сигналов a, b, c при моделировании следующего проекта:

```
`timescale 1ps/1ps
module nemo();
reg a=0;
reg b=0;
wire c;
initial
begin
  #5 $stop;
end
always #1 a<=!a;
always #2 b<=!b;
assign c=a & b;
endmodule
```

Вопрос 20. Реализуйте двухвходовый элемент XOR на Verilog.

Примерный перечень вопросов для текущего контроля успеваемости

1. Из каких элементов состоит LUT?
2. Логическую функцию какого числа переменных может реализовать LUT, имеющий 64 регистра?
3. Какое устройство в составе логических элементов ПЛИС служит для реализации последовательностных схем?
4. Как осуществляется компиляция программного кода в Icarus-Verilog ?
5. Как называется программа-симулятор в Icarus-Verilog ?
6. Для чего используется файл с расширением .vcd ?
7. В чем заключается отличие параллельных операторов от последовательных?

8. Какими могут быть направленности портов в Verilog и в чем заключаются их отличия?
9. Какие правила следует применять при назначении типов портов и сигналов, подключаемых к портам?
10. Как реализуется двунаправленный порт в Verilog?
11. Что такое z-состояние?
12. Что означает запись 4'b10xz ?
13. Что означает параметр time_precision директивы компилятора `timescale?
14. Какие требования накладываются на порты тестбенча?
15. Каким образом в тестбенче можно задать продолжительность моделирования?
16. Можно ли реализовать изменение входных сигналов при помощи оператора initial?
17. Можно ли использовать сигнал типа wire в правой части оператора присваивания внутри оператора процесса always?
18. Каким образом можно реализовать ветвление в операторе assign?
19. В чем заключается отличие flip-flop триггеров от триггеров-защелок?
20. Какие условия запуска процесса always являются синтезабельными, а какие – нет?
21. В чем заключается отличие обычных мультиплексоров от мультиплексоров-селекторов?
22. Мультиплексор какой размерности может быть реализован при помощи четырехходового LUT?
23. Являются ли операторы цикла синтезабельными?
24. Что такое подтягивающий резистор и для чего он используется?
25. Почему сигналы, подаваемые на входы ПЛИС обычно имеют в качестве активного уровня логический «0»?
26. Как включаются внутренние подтягивающие резисторы в Quartus?
27. Какую направленность будут иметь неиспользуемые входы/выходы ПЛИС?

20.2 Промежуточная аттестация

Промежуточная аттестация по дисциплине – зачет. Оценка за освоение дисциплины определяется ведущим дисциплину преподавателем как экспертом.

Перечень вопросов к зачету

1. Классификация и области применения ПЛИС.
2. Операции в языке Verilog.
3. Общая структура логического элемента ПЛИС.
4. Директивы компилятора и системные функции.
5. Способы реализации логических функций в ПЛИС.
6. Параллельный оператор для изменения сигналов типа wire в Verilog.
7. Программируемая коммутация в ПЛИС.
8. Параллельный оператор для изменения сигналов типа reg в Verilog.
9. Подсистема ввода-вывода в ПЛИС.
10. Структурное описание и поведенческое описание устройства.
11. Общая структура Verilog-проекта.
12. Последовательные операторы присваивания в Verilog.
13. Синтаксис описания модуля.
14. Последовательные операторы ветвления и выбора в Verilog.
15. Сигналы типа reg и wire в Verilog.
16. Последовательные операторы цикла в Verilog.
17. Типы данных в Verilog.

18. Функциональная верификация HDL-описания. Понятие синтезабельности.

Для текущего контроля успеваемости используется устный опрос, отчеты о ходе выполнения практических работ.

Каждому обучающемуся задаются вопросы по всем разделам спецкурса.

Оценка освоения компетенций обучающимися во время прохождения спецкурса осуществляется по следующим критериям:

- уровень профессиональной подготовки;
- ответы на контрольные вопросы.

Уровень профессионализма (профессиональные знания, умения, навыки и компетенции) оценивается по следующим показателям:

- умение формулировать цели исследований;
- адекватное применение физико-математического аппарата для решения поставленных задач;

- адекватная рефлексия выполняемой научно-практической деятельности.

На основании выполнения обучающимся программы спецкурса и с учетом критериев оценки итогов освоения спецкурса выставляется: «зачтено»/«не зачтено».

Критерии оценки работы обучающихся, которые соотносятся с уровнями сформированности компетенций:

- оценка «зачтено» выставляется при полном соответствии работы обучающихся всем вышеуказанным показателям: компетенции сформированы полностью, проявляются и используются систематически и в полном объеме. Данный уровень обязателен для всех осваивающих ООП;

- оценка «не зачтено» выставляется в случае несоответствия работы обучающегося всем требуемым показателям, неорганизованности, безответственности и низкого качества работы при выполнении заданий, предусмотренных программой спецкурса.